

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-132237
 (43)Date of publication of application : 09.05.2002

(51)Int.Cl. G09G 5/00
 G06F 3/153
 G09G 3/20
 G09G 3/36
 G09G 5/36
 H04N 5/907

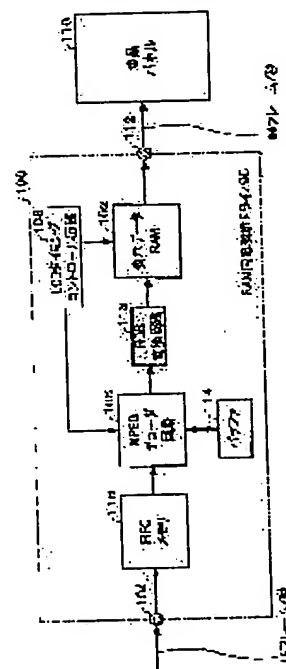
(21)Application number : 2000-326873 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 26.10.2000 (72)Inventor : TAMURA TAKESHI
 KOIZUMI TOKUO

(54) DISPLAY DRIVER, DISPLAY UNIT HAVING THE SAME AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display driver which realizes animation image display free of an odd feel with low electric power consumption in accordance with the display data of the next frame at a period longer than the reading-out period of the display from a built-in RAM as well as a display unit and electronic apparatus having the same.

SOLUTION: A RAM-containing display driver IC 100 stores the compressed data inputted at a period longer than the period when the display is driven in accordance with the display data into an FIFO memory 116, forms the display data obtained by extending the compressed data at the period nearly equal to the reading-out period of the display data RAM 102 by an MPEG decoder circuit 106 and writes the same into the display data RAM 102 at the reading-out speed or above in precedence to the reading-out. As a result, the mingling of the display data of the new and old frames in the display data RAM 102 does not occur and the current consumption accompanying the driving of the bus to which the decoded display data is transmitted is drastically reduced.



LEGAL STATUS

[Date of request for examination] 10.10.2002
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3674495

[Date of registration] 13.05.2005

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-132237

(P2002-132237A)

(43) 公開日 平成14年5月9日 (2002.5.9)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 5/00	5 5 0	G 0 9 G 5/00	5 5 0 P 5 B 0 6 9
			5 5 0 R 5 C 0 0 6
G 0 6 F 3/153	3 3 6	G 0 6 F 3/153	3 3 6 B 5 C 0 5 2
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
			6 3 1 B 5 C 0 8 2

審査請求 未請求 請求項の数14 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-326873(P2000-326873)

(22) 出願日 平成12年10月26日 (2000.10.26)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 田村 剛

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 小泉 徳夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

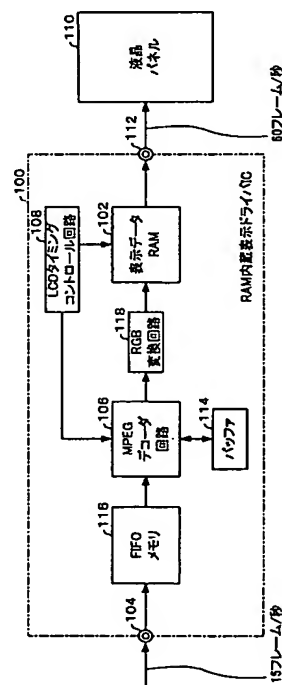
最終頁に続く

(54) 【発明の名称】 表示ドライバ、これを備えた表示ユニット及び電子機器

(57) 【要約】

【課題】 内蔵RAMからの表示データの読み出し周期より長い周期で次のフレームの表示データに基づいて違和感のない動画表示を低消費電力で実現できる表示ドライバ、これを備えた表示ユニット及び電子機器を提供する。

【解決手段】 RAM内蔵表示ドライバ100は、表示データに基づいて表示駆動される周期よりも長い周期で入力される圧縮データをFIFOメモリ116に記憶し、MPEGデコーダ回路106によりほぼ表示データRAM102の読み出し周期と同等の周期で圧縮データを伸張した表示データを生成し、読み出しに先行して読み出し速度以上で表示データRAM102に書き込む。これにより、表示データRAM102に新旧フレームの表示データが混在することがなくなると共に、復号化された表示データが伝送されるバスの駆動に伴う電流消費を大幅に削減する。



【特許請求の範囲】

【請求項 1】 内蔵する RAM から所与の読み出し周期で読み出される表示データに基づいて表示部を表示駆動する表示ドライバであって、

表示データが圧縮されたものであって、前記読み出し周期より長い周期で入力される圧縮データを順次記憶し、その記憶順序に従って出力する先入れ先出し記憶手段と、

前記先入れ先出し記憶手段から出力された圧縮データの伸張処理を行う伸張処理手段と、

前記伸張処理手段によって前記読み出し周期で出力された表示データを、少なくとも 1 フレーム分記憶する RAM と、

前記 RAM に記憶された表示データに基づいて、前記表示部を表示駆動する表示駆動手段と、を含むことを特徴とする表示ドライバ。

【請求項 2】 請求項 1 において、

前記伸張処理手段によって伸張処理された表示データの前記 RAM への書き込みは、前記表示駆動手段による前記 RAM からの表示データの 1 走査ライン単位の読み出しよりも少なくとも 1 走査ライン先行して行われ、かつ前記読み出し速度以上で行われることを特徴とする表示ドライバ。

【請求項 3】 請求項 1 において、

各フレームの表示データを書き込む場合において、表示する走査ラインに対応する RAM の記憶領域への当該フレームの表示データの書き込みが、その記憶領域から当該表示データの読み出しに先行して行われることを特徴とする表示ドライバ。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、前記伸張処理手段は所与の動作クロックに基づいて動作するものであって、

前記伸張処理手段によって伸張された表示データが前記 RAM に対して少なくとも 1 フレーム分出力された場合、前記動作クロックを停止する手段を含むことを特徴とする表示ドライバ。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、前記伸張処理手段は、前記 RAM から 1 フレーム分の表示データの読み出し開始を示す垂直同期信号に基づいて、前記先入れ先出し記憶手段から出力された圧縮データの伸張処理を開始することを特徴とする表示ドライバ。

【請求項 6】 内蔵する RAM から所与の読み出し周期で読み出される表示データに基づいて表示部を表示駆動する表示ドライバであって、

表示データが圧縮されたものであって、前記読み出し周期より長い周期で入力される圧縮データの伸張処理を行う伸張処理手段と、

前記伸張処理手段によって伸張された表示データを順次記憶し、その記憶順序に従って前記読み出し周期で出力

する先入れ先出し記憶手段と、

前記先入れ先出し記憶手段から出力された表示データを少なくとも 1 フレーム分記憶する RAM と、

前記 RAM に記憶された表示データに基づいて、前記表示部を表示駆動する表示駆動手段と、を含むことを特徴とする表示ドライバ。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

前記圧縮データが入力される入力端子と、

前記 RAM に記憶された表示データに基づいて、前記表示部を表示駆動するための信号を出力する出力端子と、を含むことを特徴とする表示ドライバ。

【請求項 8】 請求項 7 において、

前記入力端子に入力される圧縮データは、1 又は複数の種類の圧縮データが多重化された多重化データから分離された圧縮データであって、

前記伸張処理手段は、前記多重化データから分離された圧縮データについて伸張処理を行うことを特徴とする表示ドライバ。

【請求項 9】 請求項 1 乃至 8 のいずれかにおいて、

前記圧縮データは、所与の圧縮規格にしたがって圧縮処理されることを特徴とする表示ドライバ。

【請求項 10】 請求項 9 において、

前記所与の圧縮規格は、MPEG 規格であることを特徴とする表示ドライバ。

【請求項 11】 請求項 1 乃至 10 のいずれか記載の表示ドライバと、

前記表示ドライバによって表示駆動される表示部と、を含むことを特徴とする表示ユニット。

【請求項 12】 請求項 11 において、

前記表示部は、複数の第 1 の電極と第 2 の電極により駆動される電気光学素子を有するパネルであって、

前記複数の第 1 の電極を駆動する請求項 1 乃至 10 のいずれか記載の表示ドライバと、

前記複数の第 2 の電極を走査駆動する走査駆動ドライバと、

を含むことを特徴とする表示ユニット。

【請求項 13】 請求項 1 乃至 10 のいずれか記載の表示ドライバと、

1 又は複数の種類の圧縮データが多重化された多重化データから、前記表示ドライバに対応する圧縮データを分離し、前記表示ドライバに当該圧縮データを供給する分離手段と、

前記表示ドライバによって表示駆動される表示部と、を含むことを特徴とする電子機器。

【請求項 14】 請求項 13 において、

前記多重化データを所与の通信ネットワークを介して送受信する手段を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、動画を表示駆動す

る表示ドライバ、これを備えた表示ユニット及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】近年の通信技術、実装技術等の発達により、携帯型の電子機器の表示部に、数字や文字といったキャラクタ文字のみならず、静止画像や動画画像等のユーザにとって情報性の高い各種データが表示できるようになった。

【0003】このような電子機器に表示されるデータについては、種々のデータ形式が提案されている。携帯電話機を例に挙げれば、MPEG (Moving Picture Experts Group) の規格により圧縮して符号化された画像データを受信又は送信する技術が提案されている。

【0004】例えば、MPEG-4の規格は、インターネット等を介したストリーム分配、携帯マルチメディア情報端末、マルチメディア放送等の各種アプリケーションを想定し、従来のMPEG-1、MPEG-2の規格による符号化効率を高めると共に、コンピュータグラフィックス (Computer Graphics: CG) 画像や音楽の合成等を実現するオブジェクト操作等を可能にするマルチメディア符号化方式として規格化されている。

【0005】このMPEG-4の規格では、QCIF (Quarter Common Intermediate Format) から高解像度テレビ (High Definition Television: HDTV) までの多様な映像フォーマットに柔軟に対応し、64 kbps (bit per second) 未満の低ビットレートから1.5 Mbps以上の高ビットレートまでを網羅すると共に、モバイルでの応用を含む無線環境を考慮して、エラー耐性が強化されている。

【0006】このようなMPEG-4の規格は、統合規格として、種々のアプリケーションに最適なプロファイルが規格化されている。モバイルでの応用向けに規格化されたシンプル・プロファイルは、最もコンパクトな規格として全てのプロファイルに共通化されるビデオ符号化及びエラー耐性についてのみ規定される。

【0007】MPEG-4の規格におけるビデオ符号化は、MPEG-1の規格やMPEG-2の規格と同様に、動き補償フレーム間予測符号化方式 (Motion Compensated Interframe Prediction Coding: MC) と、離散コサイン変換 (Discrete Cosine Transform: DCT) とを組み合わせて、ハフマン符号化により効率的な符号化が行われる。

【0008】MPEG-4の規格におけるエラー耐性は、例えば符号化されたデータをパケット化し、パケットごとに再同期信号を挿入したり、リバーシブル可変長符号 (Reversible Variable Length Code: R VLC) の採用により無線環境によりデータの欠落が予想される符号化データ列 (ビットストリーム) に対して逆方向の復号化を可能にしたりして、そのデータ回復機能を担保する。

【0009】MPEG-4の規格により符号化されたビデオや音声の信号は、一般に多重化された状態で伝送される。この多重化は、互いに同期化される必要があるビデオ信号とオーディオ信号との間で行われたり、これら信号と他のCGデータやテキストデータ等と多重化される。

【0010】従って、デコード側で多重化されたビットストリームから各種信号 (ビデオ信号やオーディオ信号等) を分離することが行われ、それぞれ対応する再生装置 (表示装置や音声出力装置) に対して供給することによって、各種マルチメディア情報の出力を行うことができる。

【0011】従来、デコード側では、多重化されたビットストリームから、例えばビデオ符号化データとオーディオ符号化データを分離していた。そして、分離した各符号化データを、それぞれMPEG-4の該当する規格のデコード回路に供給する。MPEG-4の規格のビデオ符号化データのデコード回路は、復号化したビデオ信号を表示部に出力する。MPEG-4の規格のオーディオ符号化データのデコード回路は、復号化した音声信号をスピーカに出力する。

【0012】このようなMPEG-4の規格の各種符号化データのデコード回路を備えたデコーダICが1チップ化されており、各デコード回路で復号化されたデータが対応する再生装置に供給され、マルチメディア情報の出力等を可能にしている。

【0013】しかしながら、例えば再生装置として液晶パネル等からなる表示装置を考えた場合、例えば毎秒15分の1秒ごとに1フレームの表示データが圧縮された圧縮データがデコーダ回路に供給されるため、液晶パネル等を含む表示部の表示領域に表示される動画画像について、前のフレームとのつながりに違和感が生ずるという問題があった。

【0014】これは、液晶パネル等の表示部を表示駆動するために表示データを記憶させるフレームバッファからは、人間の視覚特性を考慮して固定的に60分の1秒ごとに表示データが読み出されるにもかかわらず、フレームバッファにはこの読み出しタイミングと非同期で、デコードされた表示データが書き込まれることに起因する。すなわち、フレームバッファに記憶される1フレーム分の表示データには、前後のフレームの表示データが混在する状態となるためである。従って、人間の視覚特性を考慮して固定的に60分の1秒ごとに表示データが読み出された場合に、前後のフレームのつながりに違和感が生ずることになる。

【0015】さらに、モバイルの応用として、例えば携帯電話機内で1チップ化されたMPEGデコーダICを適用する場合、復号化された表示データが伝送されるバスで機器を構成する各ICが接続されることになる。従って、各ICにおいて、外部のバスに伝送される復号化

された多量のデータを駆動するために電流が消費されることになり、消費電力が大きくなってしまふ。

【0016】特に、モバイルの応用では、通常MPEG-4の規格のデコード回路として汎用的な1チップ化されたICを適用する場合、一般にオーバスペックとなつて機器の大型化、コスト高及び消費電力の増大を招くことになり、ユーザのニーズに合わせた最適な構成の電子機器を提供することが困難となるため、マルチメディア情報を構成する各メディア情報に最適なデコード回路のみを備えることが望ましい。

【0017】本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、内蔵RAMからの表示データの読み出し周期より長い周期で次のフレームの表示データが生成された場合でも、違和感のない動画表示を低消費電力で実現できる表示ドライバ、これを備えた表示ユニット及び電子機器を提供することにある。

【0018】

【課題を解決するための手段】上記課題を解決するために本発明は、内蔵するRAMから所与の読み出し周期で読み出される表示データに基づいて表示部を表示駆動する表示ドライバであつて、表示データが圧縮されたものであつて、前記読み出し周期より長い周期で入力される圧縮データを順次記憶し、その記憶順序に従つて出力する先入れ先出し記憶手段と、前記先入れ先出し記憶手段から出力された圧縮データの伸張処理を行う伸張処理手段と、前記伸張処理手段によつて前記読み出し周期で出力された表示データを、少なくとも1フレーム分記憶するRAMと、前記RAMに記憶された表示データに基づいて、前記表示部を表示駆動する表示駆動手段とを含むことを特徴とする。

【0019】ここで、表示データは、動画データのみならず、静止画データをも含んでも良い。

【0020】本発明によれば、表示駆動手段によつて表示駆動される表示データを内蔵するRAMから読み出すための読み出し周期は、人間の視覚特性によつて例えば毎秒60フレームとして固定的に決められているときに、この固定的な読み出し周期よりも長い周期で入力される圧縮データを、一旦先入れ先出し記憶手段に格納する。そして、伸張処理手段により、先入れ先出し記憶手段に格納された圧縮データを伸張処理を行う際に、この伸張結果の出力周期を読み出し周期とし、少なくとも1フレーム分の表示データを記憶するRAMに書き込む。これにより、固定的に決められる読み出し周期に同期して、フレームバッファとしてのRAMに次のフレームの表示データを書き込むことができるので、RAMに前後のフレームの表示データが混在した状態で、RAMからの読み出しが行われる状況を回避することができ、動画表示の視認性を大幅に向上させることができる。

【0021】なお、RAMへの書き込み周期として読み

出し周期としたが、読み出し周期と同等であれば良い。従つて、伸張処理手段の伸張処理周期がどのような周期であってもよく、結果的にRAMに書き込まれる表示データが生成される周期が、当該読み出し周期と同等であればよい。

【0022】また本発明は、前記伸張処理手段によつて伸張処理された表示データの前記RAMへの書き込みは、前記表示駆動手段による前記RAMからの表示データの1走査ライン単位の読み出しよりも少なくとも1走査ライン先行して行われ、かつ前記読み出し速度以上で行われることを特徴とする。

【0023】ここで、読み出し速度というのは、表示部の表示領域の1走査ラインに対応するRAMの記憶領域の1走査ライン分の表示データの読み出し速度をいう。

【0024】従つて本発明によれば、表示データの書き込みが行われる場合、この書き込みを読み出しに先行させ、かつ1走査ライン分の書き込み速度が1走査ライン分の読み出し速度以上とすることでメモリへの書き込みが読み出しに追い越されることがなくなり、RAMから読み出される表示データは常に新しいフレームの表示データであることが保証される。これにより、前のフレームとのつながりに違和感がなくなり、特に動画の視認性を大幅に向上させることができるようになる。

【0025】また本発明は、各フレームの表示データを書き込む場合において、表示する走査ラインに対応するRAMの記憶領域への当該フレームの表示データの書き込みが、その記憶領域から当該表示データの読み出しに先行して行われることを特徴とする。

【0026】本発明によれば、表示される走査ラインに着目した場合、各フレームにおいて、読み出しが行われる記憶領域に記憶された表示データは、既に書き込みが行われているため、読み出される表示データは常に当該フレームにおいて新しい表示データであることが保証される。これは、1走査ラインずつ読み出される場合に限らず、例えば4ライン同時選択のMLS (Multi Line Selection) 駆動によつて4走査ラインの表示データが同時に読み出される場合であっても、同様である。したがつて、表示部が液晶パネルであつた場合に、TFTやアクティブマトリクス方液晶表示パネルであってもよし、単純マトリクス型液晶表示パネルの表示駆動にも適用することができる。

【0027】また本発明は、前記伸張処理手段は所与の動作クロックに基づいて動作するものであつて、前記伸張処理手段によつて伸張された表示データが前記RAMに対して少なくとも1フレーム分出力された場合、前記動作クロックを停止する手段を含むことを特徴とする。

【0028】本発明によれば、RAMからの読み出し周期よりも長い周期でしか、伸張処理手段の伸張処理対象となる圧縮データが供給されないため、伸張処理を行わない期間だけ、動作クロックを停止させることによつ

て、伸張処理結果が不要な期間の動作に伴う電流の消費を低減させることができる。

【0029】また本発明は、前記伸張処理手段は、前記RAMから1フレーム分の表示データの読み出し開始を示す垂直同期信号に基づいて、前記先入れ先出し記憶手段から出力された圧縮データの伸張処理を開始することを特徴とする。

【0030】ここで、垂直同期信号は、1フレーム分の表示駆動を開始すべく、RAMに記憶された表示データの読み出し開始を意味する信号である。

【0031】本発明によれば、この垂直同期信号に基づいて伸張処理手段の出力タイミングを容易に制御することができるので、RAMからの読み出しタイミングと、RAMへの書き込みタイミング制御を簡素化して実現することができる。

【0032】また本発明は、内蔵するRAMから所与の読み出し周期で読み出される表示データに基づいて表示部を表示駆動する表示ドライバであって、表示データが圧縮されたものであって、前記読み出し周期より長い周期で入力される圧縮データの伸張処理を行う伸張処理手段と、前記伸張処理手段によって伸張された表示データを順次記憶し、その記憶順序に従って前記読み出し周期で出力する先入れ先出し記憶手段と、前記先入れ先出し記憶手段から出力された表示データを少なくとも1フレーム分記憶するRAMと、前記RAMに記憶された表示データに基づいて、前記表示部を表示駆動する表示駆動手段とを含むことを特徴とする。

【0033】本発明によれば、表示駆動手段によって表示駆動される表示データを内蔵するRAMから読み出すための読み出し周期は、人間の視覚特性によって例えば毎秒60フレームとして固定的に決められているときに、この固定的な読み出し周期よりも長い周期で入力される圧縮データを、伸張処理手段で伸張処理してから一旦先入れ先出し記憶手段に格納する。そして、この先入れ先出し記憶手段の出力周期を読み出し周期とし、少なくとも1フレーム分の表示データを記憶するRAMに書き込む。これにより、固定的に決められる読み出し周期に同期して、フレームバッファとしてのRAMに、次のフレームの表示データを書き込むことができるので、RAMに前後のフレームの表示データが混在した状態で、RAMからの読み出しが行われる状況を回避することができ、動画表示の視認性を大幅に向上させることができる。

【0034】なお、RAMへの書き込み周期として読み出し周期としたが、読み出し周期と同等であれば良い。従って、伸張処理手段の伸張処理周期がどのような周期であってもよく、結果的にRAMに書き込まれる表示データが生成される周期が、当該読み出し周期と同等であればよい。

【0035】また本発明は、前記圧縮データが入力され

る入力端子と、前記RAMに記憶された表示データに基づいて、前記表示部を表示駆動するための信号を出力する出力端子とを含むことを特徴とする。

【0036】本発明によれば、上述した表示ドライバを半導体装置に集積するように構成した。これにより、伸張処理手段をRAMとともに内蔵することによって、復号化された表示データが伝送されるバスで機器を構成する各ICが接続されることがなくなり、復号化された多量のデータの駆動に伴う電流消費を大幅に削減することができる。

【0037】また本発明は、前記入力端子に入力される圧縮データは、1又は複数の種類の圧縮データが多重化された多重化データから分離された圧縮データであって、前記伸張処理手段は、前記多重化データから分離された圧縮データについて伸張処理を行うことを特徴とする。

【0038】本発明によれば、一般的に各種メディアに対応した符号化データが多重化された多重化データが入力された場合であっても、機器内の他のメディアに対応した部分を変更することなく、例えば表示部に好適の規格の伸張処理手段を内蔵させるだけでよいので、マルチメディア情報の処理が可能な電子機器の構成を簡素化することができる。

【0039】また本発明は、前記圧縮データは、所与の圧縮規格にしたがって圧縮処理されることを特徴とする。

【0040】また本発明は、前記所与の圧縮規格は、MPEG規格であることを特徴とする。

【0041】本発明によれば、圧縮データの圧縮処理方法が規格に従って行われる汎用的な圧縮処理、或いは伸張処理を実現すればよいので、本発明にかかる電子機器を低コストで提供することができる。

【0042】また本発明に係る表示ユニットは、上記いずれか記載の表示ドライバと、前記表示ドライバによって表示駆動される表示部とを含むことを特徴とする。

【0043】また本発明は、前記表示部は、複数の第1の電極と第2の電極により駆動される電気光学素子を有するパネルであって、前記複数の第1の電極を駆動する上記いずれか記載の表示ドライバと、前記複数の第2の電極を走査駆動する走査駆動ドライバとを含むことを特徴とする。

【0044】本発明によれば、低消費電力化を実現し、視認性に優れた表示ユニットを提供することができる。

【0045】また本発明に係る電子機器は、上記いずれか記載の表示ドライバと、1又は複数の種類の圧縮データが多重化された多重化データから、前記表示ドライバに対応する圧縮データを分離し、前記表示ドライバに当該圧縮データを供給する分離手段と、前記表示ドライバによって表示駆動される表示部とを含むことを特徴とする。

【0046】本発明によれば、一般的に各種メディアに対応した符号化データが多重化された多重化データが入力された場合であっても、機器内の他のメディアに対応した部分を変更することなく、例えば表示部に好適の規格の伸張処理手段を内蔵させるだけでよいので、マルチメディア情報の処理に最適な構成の電子機器を提供することができる。

【0047】また本発明は、前記多重化データを所与の通信ネットワークを介して送受信する手段を含むことを特徴とする。

【0048】これにより、低コスト化、低消費電力化が可能な携帯電話機や携帯情報端末機器を提供することができる。

【0049】なお本発明としては、以下のようにしても良い。

【0050】すなわち本発明は、少なくとも1フレーム分の表示データを記憶するメモリと、所与の表示タイミングを生成するタイミング生成回路とを有する表示コントローラにより、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて表示部を表示駆動するための表示コントロール方法であって、各フレームの表示データを書き込む場合において、表示する走査ラインに対応するメモリの記憶領域への当該フレームの表示データの書き込みが、その記憶領域から当該表示データの読み出しに先行して行われることを特徴とする。

【0051】ここで、3フレーム以上連続した同一画像を含む画像の表示データというのは、例えば1秒間に60フレームずつ（フレーム周波数が60Hzの状態）メモリから表示データが読み出されている場合、1秒間に20フレームから25フレーム程度以下のフレーム数がメモリに書き込まれるときの表示データを意味する。すなわち、上述したフレーム周波数で表示データを読み出す必要があるため、メモリに記憶された表示データを複数フレーム以上連続して同一のフレーム画像が読み出されることになる。

【0052】また本発明は、前記表示データの書き込みは、少なくとも1走査ライン以上前記読み出しに先行することを特徴とする。

【0053】また本発明は、制御対象の走査ラインに対して前記表示データの書き込みが行われた後、当該走査ラインの表示データが読み出されることを特徴とする。

【0054】また本発明は、所与のフレーム同期タイミングを基準に1フレーム分の表示データの書き込みが終了後、次のフレーム同期タイミングまで前記表示データの書き込みを停止することを特徴とする。

【0055】また本発明は、少なくとも1フレーム分の表示データを記憶するメモリと、所与の表示タイミングを生成するタイミング生成回路とを有する表示コントローラにより、3フレーム以上連続した同一画像を含む画

像を表示するための表示データに基づいて表示部を表示駆動するための表示コントロール方法であって、各フレームの表示データを書き込む場合において、表示する走査ラインに対応するメモリの記憶領域への当該フレームの表示データの書き込みが、その記憶領域から当該表示データの読み出しに先行して行われることを特徴とする。

【0056】また本発明は、前記表示データの読み出しは、少なくとも1走査ライン以上の表示データの書き込みに先行することを特徴とする。

【0057】また本発明は、制御対象の走査ラインに対して前記表示データの読み出しが行われた後、当該走査ラインの表示データが書き込まれることを特徴とする。

【0058】また本発明は、前記メモリに書き込まれる表示データは、前記表示コントローラによって生成された表示タイミングに同期して入力されることを特徴とする。

【0059】また本発明は、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて、表示部を表示駆動するための表示コントローラであって、所与の表示タイミングを生成するタイミング生成回路と、少なくとも1フレーム分の表示データを記憶するメモリと、前記表示部を表示駆動するために、前記表示タイミングに基づいて前記メモリに記憶された1走査ライン分の表示データの読み出しを制御する第1の制御回路と、前記読み出しに先行して、前記表示タイミングとは非同期で入力される1走査ライン分の表示データを、前記メモリに記憶された前記表示データの読み出し速度以上の速度で前記メモリに書き込む第2の制御回路とを含むことを特徴とする。

【0060】また本発明は、前記第2の制御回路は、少なくとも1走査ライン以上前記読み出しに先行することを特徴とする。

【0061】また本発明は、制御対象の走査ラインに対して前記表示データの書き込みが行われた後、当該走査ラインの表示データが読み出されることを特徴とする。

【0062】また本発明は、所与のフレーム同期タイミングを基準に1フレーム分の表示データの書き込みが終了後、次のフレーム同期タイミングまで前記表示データの書き込みを停止することを特徴とする。

【0063】また、本発明は、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて、表示部を表示駆動するための表示コントローラであって、所与の表示タイミングを生成するタイミング生成回路と、少なくとも1フレーム分の表示データを記憶するメモリと、前記表示部を表示駆動するために、前記表示タイミングに基づいて前記メモリに記憶された1走査ライン分の表示データの読み出しを制御する第1の制御回路と、前記読み出しに先行して、前記表示タイミングとは非同期で入力される1走査ライン分の表示データ

を、前記メモリに記憶された前記表示データの読み出し速度以上の速度で前記メモリに書き込む第2の制御回路とを含み、各フレームの表示データを書き込む場合において、表示する走査ラインに対応するメモリの記憶領域への当該フレームの表示データの書き込みが、その記憶領域から当該表示データの読み出しに先行して行われることを特徴とする。

【0064】また本発明は、前記第1の制御回路は、少なくとも1走査ライン以上前記書き込みに先行することを特徴とする。

【0065】また本発明は、制御対象の走査ラインに対して前記表示データの読み出しが行われた後、当該走査ラインの表示データが書き込まれることを特徴とする。

【0066】また本発明は、前記表示タイミングを出力する手段を含むことを特徴とする。

【0067】また本発明は、複数の第1の電極と複数の第2の電極により駆動される電気光学素子を有するパネルと、前記複数の第1の電極を駆動するための上記いずれかに記載の表示コントローラと、前記複数の第2の電極を走査駆動する走査駆動ドライバとを含むことを特徴とする。

【0068】また本発明は、上記記載の表示ユニットと、前記表示ユニットに対し、前記表示データを供給する回路とを含むことを特徴とする。

【0069】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0070】1. 本実施形態における表示ドライバ
本実施形態における表示ドライバは、フレームバッファとして表示データを記憶する表示データRAMを内蔵し、MPEG-4の規格で表示データが圧縮された圧縮データを伸張するMPEGデコード回路と、表示データRAMからの表示データの読み出し周期よりも長い周期で供給される圧縮データの緩衝バッファとして先入れ先出し記憶装置(First-In First-Out Memory: 以下、FIFOメモリと略す。)とを含んで、1チップ化されていることを特徴としている。

【0071】1.1 構成

図1に、本実施形態における表示ドライバが適用されたRAM内蔵表示ドライバICの構成の概要を示す。

【0072】本実施形態におけるRAM内蔵ドライバIC100は、少なくとも1フレーム分の表示データを記憶する表示データRAM102と、入力端子104を介してIC外部から入力される圧縮データを伸張(デコード)するMPEGデコード回路106とを含み、液晶ディスプレイ(Liquid Crystal Display: 以下、LCDと略す。)タイミングコントロール回路108によって制御される。

【0073】表示データRAM102の記憶領域は、表示部としてIC外部に設けられた液晶パネル110の表

示領域と対応している。そのため、表示領域の走査ラインと、当該走査ラインに対応した表示データRAM102の記憶領域における走査ラインとはそれぞれ関連付けられる。

【0074】RAM内蔵表示ドライバIC100は、液晶駆動回路を内蔵し、LCDタイミングコントロール回路108によって読み出し周期として例えば60分の1秒ごとに生成される表示タイミングにしたがって、表示データRAM102から読み出された表示データに対応する駆動電圧を、液晶パネル110を表示駆動するための出力端子としての信号電極112を介して液晶パネル110に印加する。ここでは、信号電極のみを設けて信号駆動用のXドライバICとして説明するが、走査用のYドライバICの機能を含めて構成するようにしても良い。

【0075】MPEGデコード回路106は、MPEG-4の規格により圧縮されたビデオ符号化データを、表示データRAMから読み出して表示駆動する周期である例えば60分の1秒周期と同等の周期で1フレーム分の表示データとしてデコード出力することができるようになっている。

【0076】この際、MPEGデコード回路106は、バッファ114に、前フレームのデコード結果を格納し、適宜当該前フレームのデコード結果を参照しながら順次後続するフレームの表示データのデコードを行う。

【0077】本実施形態におけるRAM内蔵ドライバIC100は、表示データRAM102から読み出される周期である60分の1秒より長い周期で入力される圧縮データをバッファリングするためのFIFOメモリ116が設けられている。

【0078】FIFOメモリ116は、IC外部から表示データが圧縮された圧縮データとしてビットストリームを順次記憶する。このビットストリームは、例えば15分の1秒ごとに1フレーム分の表示データが圧縮された圧縮データとなるように供給される。従って、FIFOメモリ116は、例えば15分の1秒ごとに、1フレーム分の表示データが圧縮された圧縮データをMPEGデコード回路106に対して供給する。

【0079】MPEGデコード回路106は、LCDタイミングコントロール回路108から指示されたタイミングで、FIFOメモリ116から供給された圧縮データのデコードを行い、ほぼ60分の1秒ごとに1フレーム分の表示データをデコード出力する。

【0080】MPEGデコード回路106によって伸張された表示データは、RGB変換回路118により、YUV形式からRGB形式の表示データに変換され、表示データRAMから読み出して表示駆動する周期である例えば60分の1秒周期と同等の周期で表示すべき領域に対応した表示データRAM102の記憶領域に書き込まれる。

【0081】すなわち、MPEGデコーダ回路106からデコード出力は、表示データRAM102からの読み出し周期に同期して、新しいフレームの表示データが書き込まれる。

【0082】1. 2 動作タイミング

図2に、本実施形態のRAM内蔵表示ドライバICの動作タイミングの一例を示す。

【0083】ここでは、表示データRAM102から表示駆動用に表示データが読み出される60分の1秒単位で動作タイミングを示す。

【0084】周期T₁の15分の1秒で、外部からFIFOメモリ116にビットストリームが順次入力された結果、1フレーム分の表示データが圧縮された圧縮データが完成すると、FIFOメモリ116はMPEGデコーダ回路106に当該圧縮データを出力する。

【0085】LCDタイミングコントロール回路108は、60分の1秒単位で周期的に表示用垂直同期信号Vsyncを生成し、この表示用Vsyncに同期して、表示データRAM102から1フレーム分の表示データを読み出させ、図示しない液晶駆動回路により液晶パネル110を表示駆動させる。

【0086】また、LCDタイミングコントロール回路108は、この表示用Vsyncに基づいて、FIFOメモリ116から圧縮データを順次供給する15分の1秒単位のスタートパルスをMPEGデコーダ回路106に供給する。

【0087】さらに、LCDタイミングコントロール回路108は、このスタートパルスの立ち上がりから次の表示用Vsyncの立ち上がりまで論理レベル「H」となるデコード制御信号をMPEGデコーダ回路106に供給する。

【0088】MPEGデコーダ回路106は、LCDタイミングコントロール回路108から供給されるスタートパルスをトリガにして、FIFOメモリ116から供給された圧縮データのデコードを開始する。

【0089】またMPEGデコード回路106は、所与の動作クロックに同期してデコードを行うようになっており、当該動作クロックがデコード制御信号によってマスク制御されるようになっている。

【0090】すなわち、LCDタイミングコントロール回路108から供給されたデコード制御信号の論理レベルが「H」のとき、MPEGデコード回路106において、動作クロックはマスクされず圧縮データの伸張処理を行う。一方、MPEGデコード回路106は、デコード制御信号の論理レベルが「L」のとき、動作クロックがマスクされ、供給される動作クロックが停止状態となることで、伸張処理動作が停止する。

【0091】これにより、伸張処理対象となる圧縮データが15分の1秒ごとにしか供給されないため、残りの時間にMPEGデコード回路106のデコード処理の動

作は無駄となることから、ほぼ60分の1秒の伸張処理後の残りの時間は動作を停止させて、消費電力の低減を図る。

【0092】MPEGデコーダ回路106は、スタートパルスをトリガにしてデコードを開始すると共に、デコード結果を順次RGB変換回路118で変換後、表示データRAM102に書き込む。

【0093】このデコードした表示データの表示データRAM102への書き込みのための書き込みクロックは、LCDタイミングコントロール回路108によって生成される。LCDタイミングコントロール回路108は、MPEGデコーダ回路106のデコード開始を制御するため、予め決められるデコード出力タイミングに応じた書き込みクロックを生成することができる。

【0094】LCDタイミングコントロール回路108によって生成される書き込みクロックは、60分の1秒ごとに固定的に生成される表示データRAM102からの表示データの読み出しクロックに対して、わずかに先行して開始され、かつ表示データの書き込みがその読み出しより早く完了するように生成される。

【0095】図3に、本実施形態におけるRAM内蔵ドライバIC100の表示データRAM102の書き込み及び読み出しタイミングの一例を示す。

【0096】LCDタイミングコントロール回路108は、内部で生成された発振回路の発振出力に基づいて1フレーム単位に生成される表示用Vsyncのエッジを基準に、書き込みクロックの出力を開始する。この書き込みクロックにより、1フレームの表示データが、順次1走査ラインずつ表示データRAM102の表示領域に対応した記憶領域に書き込まれる。

【0097】一方、表示用Vsyncのエッジを基準に走査用ラッチパルスLPの出力が開始され、フレーム同期信号としての表示用Vsyncに対して1走査ライン分だけ遅延させた2つ目のラッチパルスLPに同期して、表示データRAM102の表示領域に対応した記憶領域から、順次その読み出しが行われる。すなわち、書き込みを1走査ライン先行させてから、読み出しが行われる。

【0098】書き込みクロックは、例えば表示データRAM102の表示領域に対応した記憶領域のサイズがN走査ラインであるものとする、N走査ラインの書き込みが終了すると、論理レベル「H」に固定され、書き込みクロックの動作が停止される。

【0099】これ以降、表示データRAM102に対し表示データの書き込みが行われる場合、1フレーム毎に書き込みタイミングと読み出しタイミングとは同様の関係をもって表示データRAM102へのアクセスが行われる。

【0100】この結果、先行して書き込みが終了した走査ラインの表示データが順次読み出される。

【0101】例えば、図2に示すように周期 T_1 の $F_{11} \sim F_{14}$ で入力されたビットストリームにより1フレーム分の表示データが圧縮された第1の圧縮データは、MPEGデコード回路106によって F_{21} のスタートパルス

をトリガにしてデコードが開始され、RGB変換後の非圧縮データとしての第1の表示データに変換される。

【0102】LCDタイミングコントロール回路108は、 F_{21} のスタートパルスに同期して、図3に示したような書き込みクロックを生成し、第1の表示データを表示データRAM102に順次書き込む。

【0103】LCDタイミングコントロール回路108は、内部で生成された発振回路の発振出力に基づいて例えば60分の1秒ごとに1フレーム単位に生成される表示用Vsyncのエッジを基準に、表示データRAM102に記憶された表示データを読み出して、液晶パネル110を表示駆動する。

【0104】その結果、周期 T_2 の $F_{21} \sim F_{24}$ では第1の表示データに基づいて、4フレーム連続して液晶パネル110を表示駆動する。

【0105】同様に、本実施形態におけるRAM内蔵表示ドライバIC100は、図2に示すように周期 T_2 の $F_{21} \sim F_{24}$ で入力されたビットストリームにより1フレーム分の第2の表示データが圧縮された第2の圧縮データに基づいて、周期 T_3 の $F_{31} \sim F_{34}$ において、第2の表示データに従って4フレーム連続して液晶パネル110を表示駆動する。

【0106】このように本実施形態におけるRAM内蔵表示ドライバIC100は、内蔵する表示データRAM102の読み出し周期よりも長い周期で供給される圧縮データを、内蔵するMPEGデコーダ回路106を介して、ほぼ表示データRAM102の読み出し周期と同等の周期で伸張した表示データを生成するようにしている。

【0107】これにより、表示データRAM102の読み出しタイミングと書き込みタイミングとを同期させることができるので、これら両タイミングを制御することによって、表示データRAM102に新旧フレームの表示データを混在させる状態の発生を大幅に低減することができる。

【0108】また、表示データRAM102からの表示データの読み出しよりも先行し、かつ早く終了するように当該表示データを表示データRAM102に書き込むようにしたので、表示データRAM102に新旧フレームの表示データが混在する状況を皆無にすることができる。その結果、表示データRAM102から人間の視覚特性を考慮して固定的に60分の1秒ごとに表示データが読み出された場合であっても、前後のフレームのつながりに違和感が生ずるといった問題がなくなり、視認性に優れた動画を表示することができるようになる。

【0109】1. 3 比較例

ここで、図1に示した本実施形態のRAM内蔵表示ドライバIC100について、次に示す比較例を参照しながら説明する。

【0110】図4に、MPEG-4規格のデコードICが適用されて表示部を表示駆動する電子機器の構成の概要を示す。

【0111】電子機器150は、MPEGデコーダIC（広義には、半導体装置）152、RGB変換回路154、RAM内蔵表示ドライバIC156、液晶パネル158を含む。

【0112】ここでは、電子機器150に内蔵された図示しない多重分離回路により、MPEG-4の規格の各種符号化データが多重化された多重化データから、表示用のビデオ符号化データであるMPEG圧縮データが分離され、MPEGデコーダIC152に供給されている場合を示している。

【0113】MPEGデコーダIC152は、MPEG-4の規格のビデオ符号化データやオーディオ符号化データ等の各種符号化データのデコード回路を備えたチップ化されたICである。

【0114】MPEGデコーダIC152は、MPEG-4の規格に従って、分離されたMPEG圧縮データをデコードする。その際、MPEGデコーダIC152の内部或いは外部に設けられたバッファ160に、前フレームのデコード結果を格納し、適宜当該前フレームのデコード結果を参照しながら順次後続するフレームの表示データのデコードを行う。

【0115】RGB変換回路154は、MPEGデコーダIC152によってデコードされた非圧縮データであるYUV形式の表示データをRGB形式の表示データに変換し、RAM内蔵表示ドライバIC156に供給する。

【0116】RAM内蔵表示ドライバIC156は、液晶パネル158の表示領域に対応した記憶領域を有する表示データRAM162を含む。RAM内蔵表示ドライバIC156は、内蔵する図示しないLCDタイミングコントロール回路によって生成される例えば60分の1秒周期の読み出しタイミングで、表示データRAM162から1フレーム分の表示データを読み出し、液晶パネル158を表示駆動する。

【0117】RAM内蔵表示ドライバIC156が内蔵するRAMから表示データを読み出す周期は、人間の視覚特性を考慮した値である。従って、例えば通信スピードの関係で十分なデータ転送が行えず、MPEG-4規格のような圧縮データは伸張処理のために当該読み出し周期（概略60分の1秒周期）で、液晶パネル158の表示すべき領域に対応した表示データRAM162に表示データを書き込むことができない場合、複数フレームにわたって同一画像を連続して読み出すことが行われる。

【0118】このように図4に示した構成では、復号化された表示データは、IC外部のバスを通して、各ICに接続されることになる。従って、各ICにおいて、外部のバスに伝送される復号化された多量のデータを駆動するために電流が消費されることになり、消費電力が大きくなってしまふ。

【0119】特に、モバイルの応用では、通常MPEG-4の規格のデコード回路として汎用的な1チップ化されたICを適用する場合、一般にオーバスペックとなつて機器の大型化、コスト高及び消費電力の増大を招くことになり、ユーザのニーズに合わせた最適な構成の電子機器を提供することが困難となるため、マルチメディア情報を構成する各メディア情報に最適なデコード回路のみを備えることが望ましい。

【0120】これに対して、図1に示した本実施形態におけるRAM内蔵表示ドライバIC100は、MPEGデコード回路を内蔵するようにしたので、各ICを接続するバス上には、復号前の圧縮データのみが伝送されることになり、例えば復号前のデータに比べて4分の1から数10分の1のデータ量で済むことから、復号化された多量のデータの駆動に伴う電流消費を大幅に削減することができる。

【0121】しかも、一般的に各種メディアに対応した符号化データが多重化された多重化データが入力された場合であっても、機器内の他のメディアに対応した部分を変更することなく、例えば液晶パネル110に好適の規格のデコード回路を内蔵させるだけでよいので、最適な構成の電子機器を提供することができる。

【0122】1. 4 表示ユニットへの適用
図5に、本実施形態におけるRAM内蔵表示ドライバIC100をXドライバICとして適用して表示ユニットを構成した場合の構成例の一例を示す。

【0123】この表示ユニット200は、MPU（マイクロプロセッサユニット）210によって生成される静止画データ、或いはMPEG圧縮データに対応した画像を表示パネル110に表示させる。

【0124】MPU210は、例えば移動体通信網等の通信ネットワークを介して受信したMPEG-4の規格の各メディアの符号化データが多重化された多重化データから、ビデオ符号化データをしてMPEG圧縮データとして表示ユニット200に供給する。

【0125】また、MPU210は、テキストデータ等の静止画データを生成し、表示ユニット200に供給する。

【0126】表示ユニット200は、液晶パネル110と、この液晶パネル110の信号駆動用で図1で示したRAM内蔵表示ドライバIC100と同等の構成を有するRAM内蔵表示ドライバIC220と、走査駆動用のYドライバIC230とを含む。

【0127】液晶パネル110は、例えば電気光学素子

を有するマトリクスパネルであり、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであればよい。液晶パネル110としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極（第1の電極）が形成された第1基板と、コモン電極（第2の電極）が形成された第2基板との間に、液晶が封入される。液晶パネル110は薄膜トランジスタ（TFT）、薄膜ダイオード（TFD）等の三端子素子、二端子素子を用いたアクティブマトリクスパネルであっても良い。これらのアクティブマトリクスパネルも、RAM内蔵表示ドライバIC220により駆動される複数の信号電極（第1の電極）と、走査駆動用のYドライバIC230により走査駆動される複数の走査電極（第2の電極）を有する。

【0128】液晶パネル110には静止画と動画とを同時に表示可能である。この場合、MPU210によって供給された動画データの画像サイズによって定められる動画表示領域と、それ以外の静止画表示領域（テキストデータ表示領域）の各領域が液晶パネル110に対して、MPU210からの表示コマンドにより設定される。

【0129】RAM内蔵表示ドライバIC220は、走査駆動用YドライバIC230用の制御回路を備え、YドライバIC230に対して走査タイミングを指示すると共に、MPU210によって表示コマンドによって指示された静止画表示領域に対応した表示データRAM102の記憶領域に、直接静止画データを書き込むことができるようになっている。

【0130】1. 5 表示ドライバの他の構成例
上述したような表示データRAM102から人間の視覚特性を考慮して固定的に60分の1秒ごとに表示データが読み出された場合であっても、前後のフレームのつながりに違和感をなくすることができるRAM内蔵表示ドライバICの構成は、図1に示したものに限定されることはない。

【0131】図6に、本実施形態におけるRAM内蔵表示ドライバICの他の構成例を示す。

【0132】ただし、図1に示したRAM内蔵表示ドライバIC100と同一部分には同一符号を付し、適宜説明を省略する。

【0133】このRAM内蔵ドライバIC300は、表示データRAM102と、MPEGデコード回路302とを含み、LCDタイミングコントロール回路304によって制御される。

【0134】このRAM内蔵表示ドライバIC300は、液晶駆動回路を内蔵し、LCDタイミングコントロール回路304によって読み出し周期として例えば60分の1秒ごとに生成される表示タイミングにしたがって、表示データRAM102から読み出された表示データに対応する駆動電圧を、液晶パネル110を表示駆動

するための出力端子としての信号電極112を介して液晶パネル110に印加する。ここでは、信号電極のみを設けて信号駆動用のXドライバICとして説明するが、走査用のYドライバICの機能を含めて構成するようにしても良い。

【0135】MPEGデコーダ回路302は、MPEG-4の規格により圧縮されたビデオ符号化データを、1フレーム分の表示データとしてデコード出力する。

【0136】この際、MPEGデコーダ回路302は、バッファ114に、前フレームのデコード結果を格納し、適宜当該前フレームのデコード結果を参照しながら順次後続するフレームの表示データのデコードを行う。

【0137】MPEGデコーダ回路302は、一般的にMPEG-4の規格により各メディアの圧縮データが多重化された多重化データが15分の1秒ごとに供給されることから、ほぼ15分の1秒単位でデコード出力する。

【0138】FIFOメモリ116は当該デコード出力をRGB変換回路118によって変換されたRGB形式の表示データを順次記憶し、LCDタイミングコントロール回路304からの指示によって、60分の1秒ごとに記憶した表示データが出力され表示データRAM102に書き込みが行われる。

【0139】この場合も、図3に示したように、表示データの書き込みは読み出しに少なくとも1走査ライン先行し、1走査ラインの書き込み速度が1走査ラインの読み出し速度よりも速く行われる。

【0140】このような構成のRAM内蔵表示ドライバIC300も、図5で示した表示ユニットに対して、同様に適用することが可能である。

【0141】2. 本実施形態における電子機器の構成例

図7(A)に、本実施形態における多重化データの多重分離の原理的な概念図を示し、図7(B)に従来における多重化データの多重分離の原理的な概念図を示す。

【0142】本実施形態では、図7(A)に示すように例えば所与の圧縮規格で圧縮された音声圧縮データ、オーディオ圧縮データ及びビデオ圧縮データが多重化された多重化データ400が、多重分離回路402で音声圧縮データ、オーディオ圧縮データ、ビデオ圧縮データに分離される。

【0143】例えば分離された音声圧縮データは、音声出力インタフェース部404において、所与の圧縮規格にしたがって音声復号化され、IF回路を介してスピーカ406に出力される。また、分離されたビデオ圧縮データは、画像出力インタフェース部408において、例えばMPEG-4の規格に従ってビデオ復号化され、IF回路を介して表示部410に出力される。

【0144】一方、カメラ412によって入力された音声信号は、画像入力インタフェース部414において、

IF回路を介してエンコーダで例えばMPEG-4の規格にしたがってビデオ符号化され、多重分離回路402に供給される。

【0145】多重分離回路402は、この画像入力インタフェース部414から入力されたビデオ圧縮データを多重化して、多重化データ400を生成する。

【0146】これに対して従来では、図7(B)に示すように例えば所与の圧縮規格で圧縮された音声圧縮データ、オーディオ圧縮データ及びビデオ圧縮データが多重化された多重化データ400が、多重分離回路及び各圧縮データのデコーダ及びエンコーダを含む圧縮伸張回路420に入力される。

【0147】圧縮伸張回路420の多重分離回路は、多重化データ400から音声圧縮データ、オーディオ圧縮データ、ビデオ圧縮データを分離する。

【0148】例えば分離された音声圧縮データは、圧縮伸張回路400のデコーダにより、所与の圧縮規格にしたがって音声復号化され、IF回路422に伝送され、スピーカ406に出力される。また、分離されたビデオ圧縮データは、圧縮伸張回路420のデコーダにより、例えばMPEG-4の規格に従ってビデオ復号化され、IF回路424に伝送され表示部410に出力される。

【0149】一方、カメラ412によって入力された音声信号は、IF回路426を介して圧縮伸張回路420に伝送され、圧縮伸張回路420のエンコーダにより、例えばMPEG-4の規格にしたがってビデオ符号化される。

【0150】このビデオ符号化されたビデオ圧縮データは、圧縮伸張回路420の多重分離回路により、多重化され、多重化データ400が生成される。

【0151】このように、従来では図7(B)に示すように汎用的、若しくはオーバスペックのデコーダ又はエンコーダを内蔵する圧縮伸張回路が設けられ、しかも非圧縮データが各IF回路に伝送されるのに対して、本実施形態では図7(A)に示すように各インタフェース部に対して、データ量の少ない圧縮データを伝送すればよいので、バス駆動に伴う電流消費を低減することができる。

【0152】また、スピーカ406、マイク412、表示部410等の入出力装置に合わせた規格のデコーダ又はエンコーダを、各インタフェース部に設けることができるので、装置構成の最適化が可能となる。

【0153】以下、このような電子機器の構成について具体的に説明する。

【0154】2. 1 第1の構成例

図8に、本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第1の構成例を示す。

【0155】電子機器500は、表示ユニット502と、音声処理IC504と、CMOS-CCDインタフェース回路506と、多重分離回路508と、制御回路

510を含む。

【0156】表示ユニット502は、電気光学素子を有するマトリクスパネル例えばカラー液晶パネル（広義には、表示部）110と、図1又は図6に示したRAM内蔵表示ドライバIC512を含む。

【0157】液晶パネル110には、図5で説明したように、静止画と動画とを同時に表示可能である。この場合、液晶パネル110の表示領域には、動画データの画像サイズによって定められる動画表示領域と、それ以外の静止画表示領域（テキストデータ表示領域）の各領域が設定され、RAM内蔵表示ドライバIC512に含まれる表示データRAMから例えば60分の1秒ごとに1フレームの表示データが読み出されて動画及び静止画が表示される。

【0158】RAM内蔵表示ドライバIC512は、少なくとも1フレーム分の表示データを記憶する表示データRAMを含み、この表示データRAMに多重分離回路508から供給されるビデオ圧縮データをMPEG-4の規格のビデオ復号化により伸張し、動画データ若しくは静止画データとして格納する。また、RAM内蔵表示ドライバIC512は、制御回路510により、表示データとしてのテキストデータの供給や、動画表示領域及び静止画表示領域の設定が行われる。

【0159】音声処理IC504は、オーディオインタフェース回路514と、音声インタフェース回路516とを含む。

【0160】より具体的には、オーディオインタフェース回路514は、多重分離回路508から供給されたMPEG-4規格のオーディオ或いはMP3（MPeg audio layer3）のオーディオ圧縮データの復号化を行って非圧縮データを生成し、これをD/A変換によってアナログ信号に変換して、例えば出力端子518、520を介して接続されるヘッドホン522やスピーカ524に対してオーディオ信号を出力する。

【0161】また、音声インタフェース回路516は、GSM-AMR（Global System for Mobile communication-Adaptive Multi-Rate coding）やTw i n V Q（Transform domain Weighted INterleave Vector Quantization）による音声圧縮データの復号化を行って非圧縮データを生成し、これをD/A変換によってアナログ信号に変換して、例えば出力端子520を介してスピーカ524に音声信号を出力する。さらに、音声インタフェース回路516は、例えば入力端子526を介して入力されるマイク528からの音声信号を、A/D変換によってデジタル信号に変換して、GSM-ARMやTw i n V Qによる音声圧縮データに符号化して圧縮データを生成し、多重分離回路508に出力する。

【0162】この音声処理IC504は、電子機器500に着脱自在のメモリカード530が接続され、GSM-AMRやTw i n V Qによる音声圧縮データを記憶さ

せるようにしても良い。このメモリカード530には、種々の規格のものが適用可能である。

【0163】MPEG-4エンコードCMOS-CCD（Charge Coupled Device：電荷結合素子）インタフェース回路506は、例えば入力端子532を介して入力されるCMOS-CCDカメラ534からの映像信号を、MPEG-4の規格のビデオ符号化を行ってビデオ圧縮データを生成し、多重分離回路508に出力する。

【0164】多重分離回路508は、各種メディアに対応する圧縮データが多重化された多重化圧縮データから表示ユニット502の表示データが圧縮されたビデオ圧縮データ、音声処理IC504に供給されるオーディオ圧縮データ若しくは音声圧縮データを分離する。また、多重分離回路508は、MPEG-4エンコードCMOS-CCDインタフェース回路506によって圧縮されたビデオ圧縮データ、音声処理IC504によって圧縮されたオーディオ圧縮データ若しくは音声圧縮データを多重して、多重化圧縮データを生成する。

【0165】電子機器500は、携帯電話機の通信機能と同等の機能として、このような多重分離回路508に対して入出される多重化圧縮データを、例えば移動体通信網といった無線通信ネットワークを介して送受信することができるようになっている。

【0166】このため、電子機器500は、キー操作による操作情報が入力される操作入力部540、近距離無線通信技術であるBluetooth等による無線操作を行うための無線操作部542を含み、制御回路510によってこれら各部が制御される。

【0167】制御回路510には、図示しないCPUとメモリとを含み、メモリに記憶された制御プログラムに従って、無線通信ネットワークを介して一連の送受信処理を行うことができるようになっている。電子機器500でのデータ送受信等の必要な操作情報は、操作入力部540を介して入力される。

【0168】この電子機器500には、アンテナ544を介して受信された信号を復調し、或いはアンテナ544を介して送信される信号を変調する変復調回路546が設けられている。そして、アンテナ544からは、例えばMPEG-4の規格にて符号化された動画データを送受信可能となっている。

【0169】アンテナ544から入力される信号は、変復調回路546を介して復調されて、コーデック回路548により復号化される。この結果、例えば多重分離回路508に供給される多重化圧縮データ、或いは制御回路510で受信処理される受信データが生成される。

【0170】変復調回路546、アンテナ544を介して送信されるデータは、コーデック回路548によって制御回路510からの送信データ、或いは多重分離回路508からの多重化圧縮データが符号化される。

【0171】上述したように制御回路510は、制御プ

10

20

30

40

50

ログラムに基づき、操作入力部540或いは無線操作部542を介して入力される指示内容に従って、変復調回路546、コーデック回路548を制御して、データの送受信を行う。例えば、制御回路510は、例えばコーデック回路548からの受信データに基づいて表示ユニット502に対するテキストデータの出力や表示領域の設定を行ったり、操作入力部540等からの指示内容に応じて生成した送信データをコーデック回路548に対して出力してアンテナ544から送信させたりする。

【0172】このような構成の電子機器500では、無線通信ネットワークを介してアンテナ544で受信された信号がコーデック回路548により復号化された受信データが上述した多重化圧縮データの場合、多重分離回路508はビットストリームデータとして、各メディアに対応した圧縮データに分離し、対応する出力インタフェースICに供給する。

【0173】例えば、入力インタフェースICとしてのRAM内蔵表示ドライバIC512は、例えば15分の1秒ごとに多重分離回路508によって分離されるビデオ圧縮データを、図1又は図6で示したようにFIFOメモリを用いてデコードし、かつより高速で行われる書き込みを読み出しに先行させて表示データRAMに書き込むことで、60分の1秒ごとに内蔵する表示データRAMから読み出される表示データRAMに新旧フレームの表示データの混在を回避することができる。

【0174】一方、入力インタフェースICによってエンコードされた圧縮データは、多重分離回路508で多重化され、例えば操作入力部540からの指示により、コーデック回路548で符号化されてアンテナ544を介して無線通信ネットワークに送出される。

【0175】従って、無線通信ネットワークを介して受信した信号が多重化圧縮データの場合、例えばMPEG-4の規格による圧縮が行われた状態で分離され、そのまま表示部或いは各入出力装置のインタフェース用ICまで伝送される。すなわち、伝送されるデータ量を少なくした状態で機器内の各ICを接続することができるので、バスを駆動することにより消費される電流を大幅に削減することが可能となる。

【0176】特に、各インタフェース用ICにMPEG-4の規格によるデコード回路及びエンコード回路を含んで構成するようにしたので、各メディアに対応した非圧縮データが伝送されるバスを削減し、効果的に低消費電力化を図ることが可能となる。

【0177】また、各インタフェース用ICにデコード回路或いはエンコード回路を含んで構成することは、接続される入出力装置に応じたMPEG-4規格のプロファイルに対応したデコード回路或いはエンコード回路を適用することができ、機器の小型化及び構成の最適化を容易に図ることができる。

【0178】2.2 第2の構成例

図9に、本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第2の構成例を示す。

【0179】ただし、図8に示した第1の構成例における電子機器と同一部分には同一符号を付し、適宜説明を省略する。

【0180】第2の構成例における電子機器600は、表示ユニット502と、音声処理IC54と、多重分離回路602と、制御回路510を含む。

【0181】電子機器600が第1の構成例における電子機器500と異なる点は、CMOS-CCDカメラインタフェース回路506及びこれに対応する入力端子532が設けられていない点である。

【0182】従って、第2の構成例における多重分離回路602は、各種メディアに対応する圧縮データが多重化された多重化圧縮データから表示ユニット502の表示データが圧縮されたビデオ圧縮データ、音声処理IC504によって出力されるオーディオ圧縮データ若しくは音声圧縮データを分離する。また、多重分離回路602は、音声処理IC504によって圧縮されたオーディオ圧縮データ若しくは音声圧縮データを多重して、多重化圧縮データを生成する。

【0183】このような構成の電子機器600では、無線通信ネットワークを介して受信した信号が多重化圧縮データであるビットストリームの場合、例えばMPEG-4の規格による圧縮が行われた状態で分離され、そのまま表示部或いは各入出力装置のインタフェース用ICまで伝送されるため、バスを駆動することにより消費される電流を大幅に削減することが可能となる。

【0184】特に、各インタフェース用ICにMPEG-4の規格によるデコード回路及びエンコード回路を含んで構成するようにしたので、各メディアに対応した非圧縮データが伝送されるバスを削減し、効果的に低消費電力化を図ることが可能となる。

【0185】また、各インタフェース用ICにデコード回路或いはエンコード回路を含んで構成することは、接続される入出力装置に応じたMPEG-4規格のプロファイルに対応したデコード回路或いはエンコード回路を適用することができ、機器の小型化及び構成の最適化を容易に図ることができる。

【0186】2.3 第3の構成例

図10に、本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第3の構成例を示す。

【0187】ただし、図8に示した第1の構成例における電子機器と同一部分には同一符号を付し、適宜説明を省略する。

【0188】この電子機器700は、表示ユニット502と、音声処理IC702と、CMOS-CCDインタフェース回路506と、多重分離回路704と、制御回路510を含む。

【0189】電子機器700が第1の構成例における電

子機器500と異なる点は、音声処理IC702がオーディオインタフェース回路514を含まず、これに対応する出力端子518が設けられていない点である。

【0190】従って、音声処理IC702は、音声インタフェース回路516により、GSM-AMRやTw i n V Qによる音声圧縮データの復号化を行って非圧縮データを生成し、これをD/A変換によってアナログ信号に変換して、例えば出力端子520を介してスピーカ524に音声信号を出力すると共に、例えば入力端子526を介して入力されるマイク528からの音声信号を、A/D変換によってデジタル信号に変換して、GSM-ARMやTw i n V Qによる音声圧縮データに符号化して圧縮データを生成し、多重分離回路704に出力する。

【0191】この音声処理IC702は、電子機器700に着脱自在のメモリカード530が接続され、GSM-AMRやTw i n V Qによる音声圧縮データを記憶させるようにしても良い。

【0192】多重分離回路704は、各種メディアに対応する圧縮データが多重化された多重化圧縮データから表示ユニット502の表示データが圧縮されたビデオ圧縮データ、音声処理IC702によってデコードされるオーディオ圧縮データ若しくは音声圧縮データを分離する。また、多重分離回路704は、MPEG-4エンコードCMOS-CCDインタフェース回路506によって圧縮されたビデオ圧縮データ、音声処理IC702によって圧縮されたオーディオ圧縮データ若しくは音声圧縮データを多重して、多重化圧縮データを生成する。

【0193】このような構成の電子機器700では、無線通信ネットワークを介して受信した信号が多重化圧縮データであるビットストリームの場合、例えばMPEG-4の規格による圧縮が行われた状態で分離され、そのまま表示部或いは各入出力装置のインタフェース用ICまで伝送されるため、バスを駆動することにより消費される電流を大幅に削減することが可能となる。

【0194】特に、各インタフェース用ICにMPEG-4の規格によるデコード回路及びエンコード回路を含んで構成するようにしたので、各メディアに対応した非圧縮データが伝送されるバスを削減し、効果的に低消費電力化を図ることが可能となる。

【0195】また、各インタフェース用ICにデコード回路或いはエンコード回路を含んで構成することは、接続される入出力装置に応じたMPEG-4規格のプロファイルに対応したデコード回路或いはエンコード回路を適用することができ、機器の小型化及び構成の最適化を容易に図ることができる。

【0196】2. 4 第4の構成例

図11に、本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第4の構成例を示す。

【0197】ただし、図8に示した第1の構成例にお

る電子機器と同一部分には同一符号を付し、適宜説明を省略する。

【0198】電子機器800は、表示ユニット502と、音声処理IC702と、多重分離回路802と、制御回路510を含む。

【0199】電子機器800が第1の構成例における電子機器500と異なる点は、第1にCMOS-CCDカメラインタフェース回路506及びこれに対応する入力端子532が設けられていない点と、第2に音声処理IC702がオーディオインタフェース回路514を含まず、これに対応する出力端子518が設けられていない点である。

【0200】従って、多重分離回路802は、各種メディアに対応する圧縮データが多重化された多重化圧縮データから表示ユニット502の表示データが圧縮されたビデオ圧縮データ、音声処理IC702によってデコードされるオーディオ圧縮データ若しくは音声圧縮データを分離する。また、多重分離回路802は、音声処理IC702によって圧縮された音声圧縮データを多重して、多重化圧縮データを生成する。

【0201】このような構成の電子機器800では、無線通信ネットワークを介して受信した信号が多重化圧縮データの場合、例えばMPEG-4の規格による圧縮が行われた状態で分離され、そのまま表示部或いは各入出力装置のインタフェース用ICまで伝送される。すなわち、伝送されるデータ量を少なくした状態で機器内の各ICを接続することができるので、バスを駆動することにより消費される電流を大幅に削減することが可能となる。

【0202】特に、各インタフェース用ICにMPEG-4の規格によるデコード回路及びエンコード回路を含んで構成するようにしたので、各メディアに対応した非圧縮データが伝送されるバスを削減し、効果的に低消費電力化を図ることが可能となる。

【0203】また、各インタフェース用ICにデコード回路或いはエンコード回路を含んで構成することは、接続される入出力装置に応じたMPEG-4規格のプロファイルに対応したデコード回路或いはエンコード回路を適用することができ、機器の小型化及び構成の最適化を容易に図ることができる。

【0204】本発明は本実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0205】また本実施形態では、表示データRAMまでの部分と、液晶パネルに対して表示駆動を行う液晶駆動回路とを同一IC内に含むように構成されているものとして説明したが、これに限定されるものではない。例えば、表示データRAMまでの部分と、液晶駆動回路とを2チップ化構成するようにしても良い。この場合、高耐圧性が必要とされる液晶駆動回路を分離することで、

表示データRAMまでの部分の構造の簡素化が可能となり、低コスト化及び低消費電力化を図ることも可能となる。

【0206】さらに本実施形態は、FIFOメモリの構成に限定されるものではない。

【0207】さらにまた、本実施形態では、表示領域の1走査ラインごとに、対応する表示データRAMの記憶領域から1走査ライン分の表示データを読み出すものとして説明したが、これに限定されるものではない。例えば、MLS駆動法のように複数の走査ラインに対応した表示データを同時に読み出す場合についても適用することができる。この場合、各フレームの表示データを書き込む場合において、表示する走査ラインに対応するRAMの記憶領域への当該フレームの表示データの書き込みが、その記憶領域から当該表示データの読み出しに先行して行われれば良い。すなわち、表示される走査ラインに着目した場合、各フレームにおいて、読み出しが行われる記憶領域に記憶された表示データは、既書き込みが行われているため、読み出される表示データは常に当該フレームにおいて新しい表示データであることが保証される。この条件を満たす限り、表示部が液晶パネルであった場合に、TFTやアクティブマトリクス方液晶表示パネルであってもよし、単純マトリクス型液晶表示パネルの表示駆動にも適用することができることを意味する。

【図面の簡単な説明】

【図1】本実施形態における表示ドライバが適用されたRAM内蔵表示ドライバICの構成の概要を示す構成図である。

【図2】本実施形態のRAM内蔵表示ドライバICの動作タイミングの一例を示すタイミング図である。

【図3】本実施形態におけるRAM内蔵ドライバICの表示データRAMの書き込み及び読み出しタイミングの一例を示すタイミング図である。

【図4】比較例としてMPEG-4規格のデコードICが適用されて表示部を表示駆動する電子機器の構成の概要を示す構成図である。

【図5】本実施形態における表示ユニットを構成した場合の構成例の一例を示す構成図である。

【図6】本実施形態におけるRAM内蔵表示ドライバICの他の構成例を示す説明図である。

【図7】図7(A)、(B)は、本実施形態と従来における多重化データの多重分離の原理的な概念図を示す説明図である。

【図8】本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第1の構成例を示すブロック図である。

【図9】本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第2の構成例を示すブロック図

である。

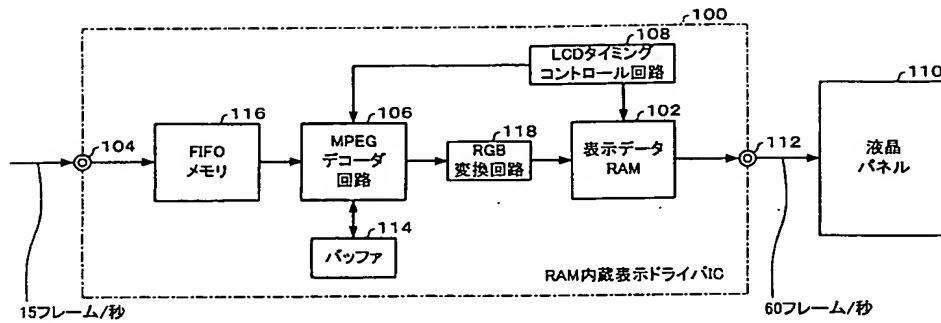
【図10】本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第3の構成例を示すブロック図である。

【図11】本実施形態におけるRAM内蔵表示ドライバICを適用した電子機器の第4の構成例を示すブロック図である。

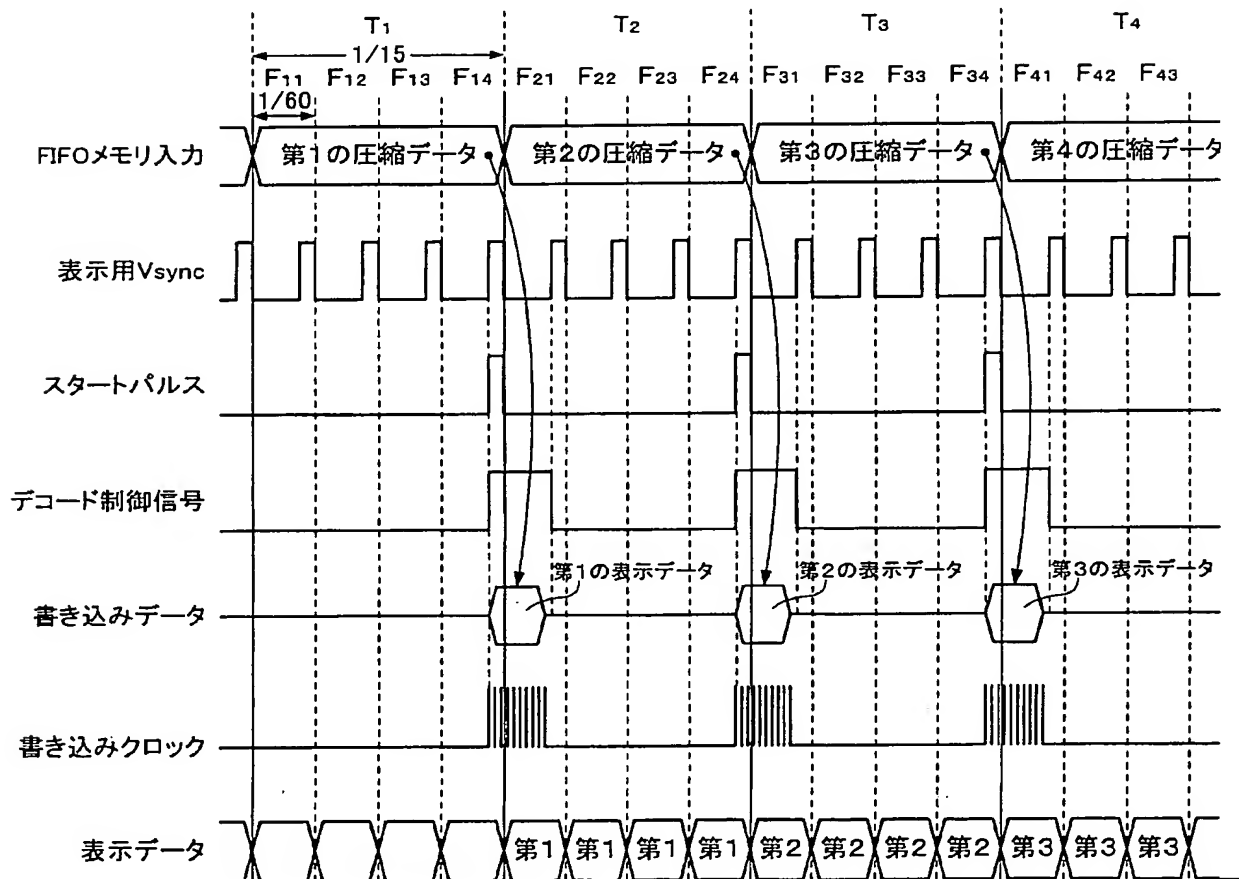
【符号の説明】

100、156、220、300、512 RAM内蔵表示ドライバIC
 102、162 表示データRAM
 104、526、532 入力端子
 106、302 MPEGデコーダ回路
 108、304 LCDタイミングコントロール回路
 110、158 液晶パネル
 112、518、520 出力端子
 114、160 バッファ
 116 FIFOメモリ
 118、154 RGB変換回路
 150、500、600、700、800 電子機器
 152 MPEGデコーダIC
 200、502 表示ユニット
 210 MPU
 230 YドライバIC
 400 多重化データ
 402、508、602、704、802 多重分離回路
 404 音声出力インタフェース部
 406、524 スピーカ
 408 画像出力インタフェース部
 410 表示部
 412、534 カメラ
 414 画像入力インタフェース部
 420 圧縮伸張回路
 422~426 IF回路
 504 音声処理IC
 506 MPEG-4エンコードCMOS-CCDインタフェース回路
 510 制御回路
 514 オーディオインタフェース回路
 516、702 音声インタフェース回路
 522 ヘッドホン
 528 マイク
 530 メモリカード
 540 操作入力部
 542 無線操作部
 544 アンテナ
 546 変復調回路
 548 コーデック回路

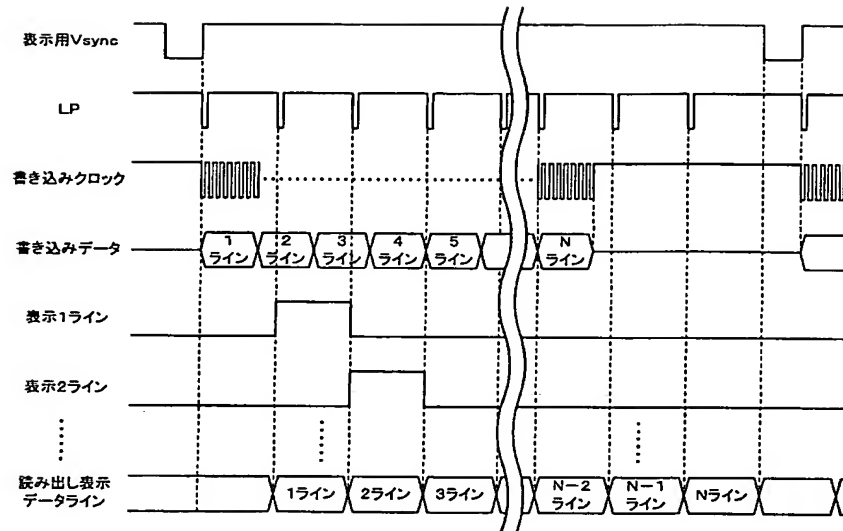
【図1】



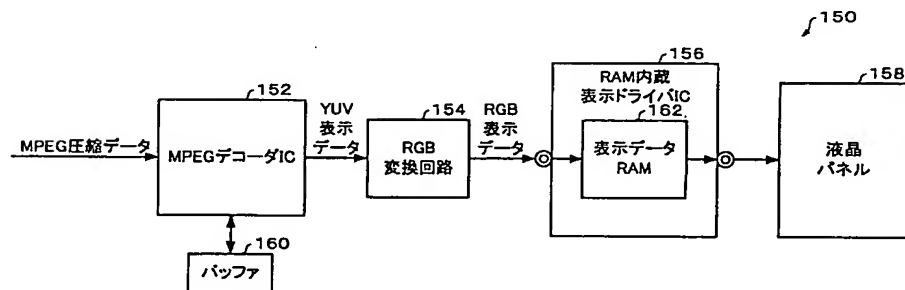
【図2】



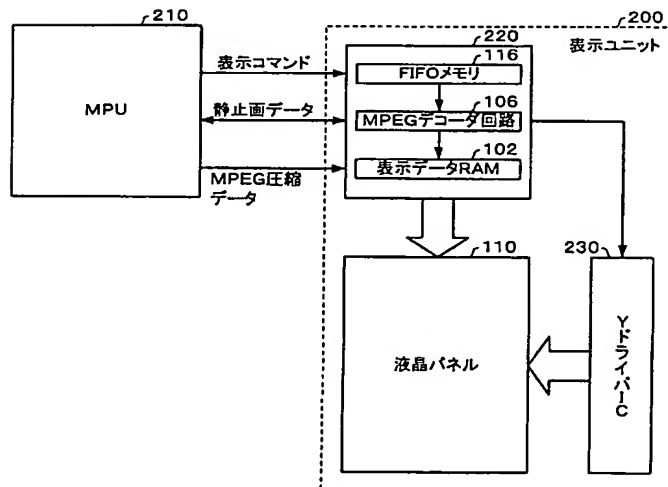
【図3】



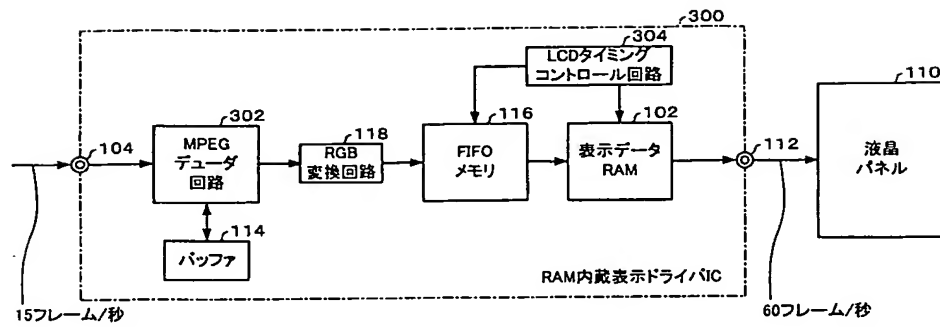
【図4】



【図5】

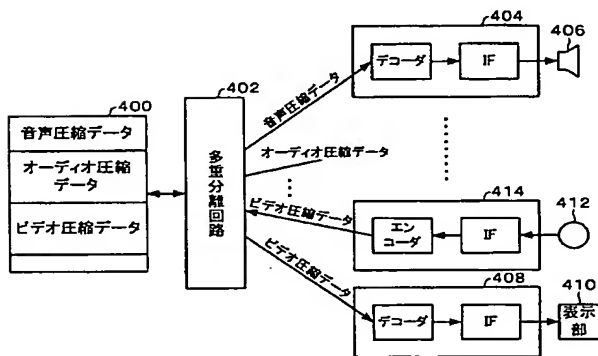


【図6】

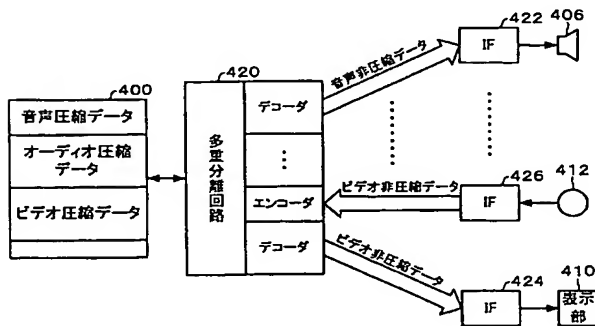


【図7】

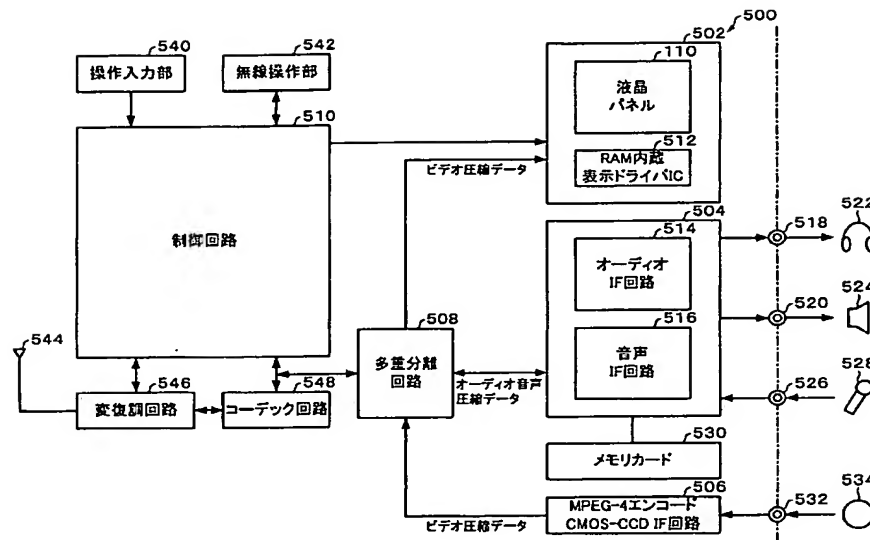
(A)



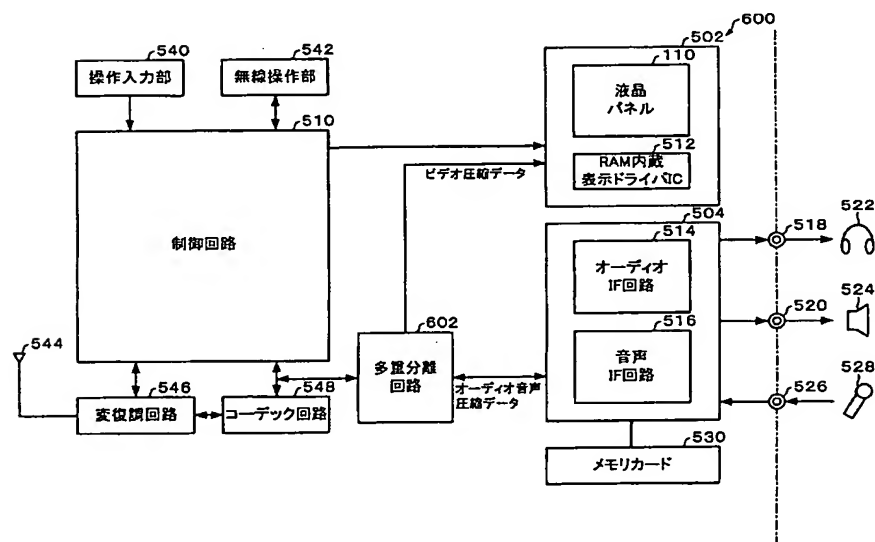
(B)



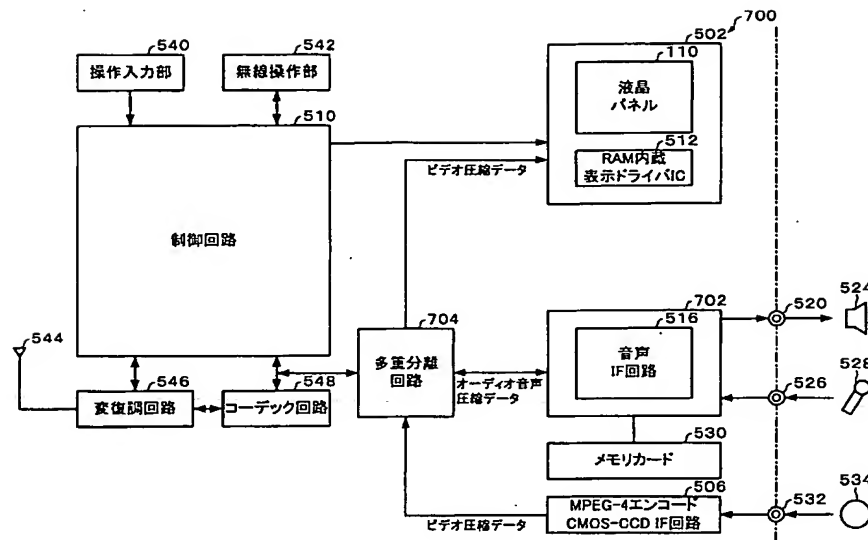
【図8】



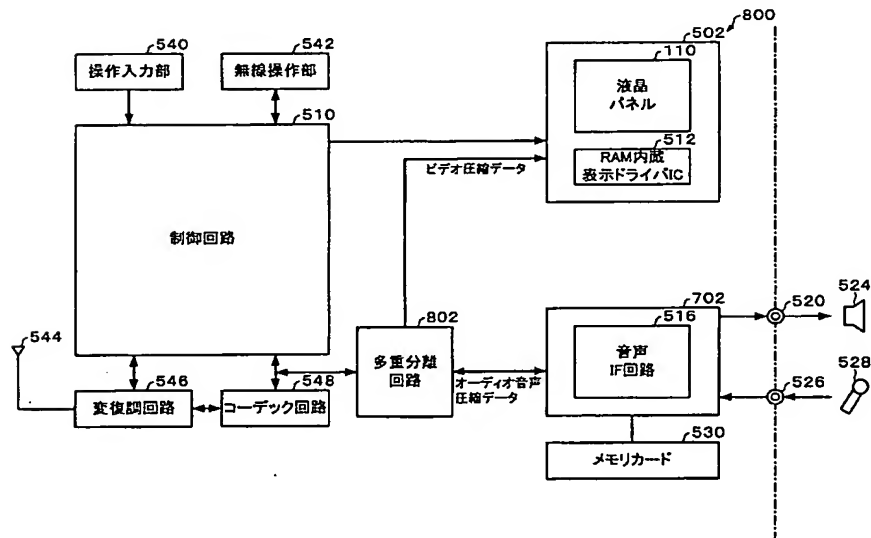
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 3 1

6 3 2

6 6 0

6 8 0

3/36

5/36

5 1 0

F I

G 0 9 G 3/20

3/36

5/36

H 0 4 N 5/907

ターマコード* (参考)

6 3 2 B

6 6 0 V

6 8 0 T

5 1 0 M

B

H O 4 N 5/907

G O 9 G 5/00

5 5 5 A

F ターム(参考) 5B069 BA04 BC02 LA16
5C006 AA11 AC21 AF01 AF44 BB11
BC16 BF02 FA47 FA56
5C052 AA17 AB04 CC06 CC11 DD10
GA03 GA07 GA08 GB06 GB07
GC05 GD01 GD02 GE04 GE05
GF02 GF03 GF04
5C080 AA10 BB05 CC03 DD26 EE19
FF09 GG10 GG11 JJ02 JJ04
5C082 AA00 AA01 BA12 BA34 BA35
BB15 BB22 BB44 DA26 DA54
DA55 DA64 DA65 MM10